

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-258279

(43)Date of publication of application : 12.09.2003

(51)Int.Cl.

H01L 31/04

(21)Application number : 2002-057875

(71)Applicant : FUJI ELECTRIC CO LTD

(22)Date of filing : 04.03.2002

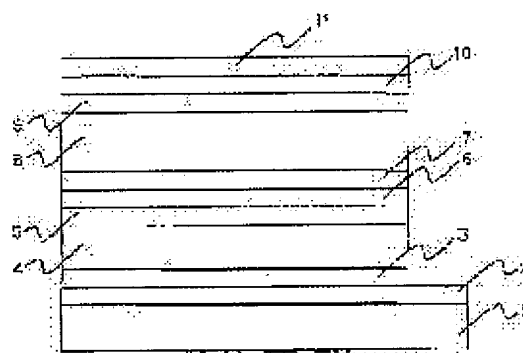
(72)Inventor : YOSHIDA TAKASHI

(54) MULTI-JUNCTION THIN FILM SOLAR CELL AND MANUFACTURING THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a solar cell which is free from taking in impurities and generation of pin holes with high conversion efficiency, and can be easily manufactured, and to provide a manufacturing method thereof.

SOLUTION: In the multi-junction thin film solar cell which formed by laminating a plurality of pin-type cells, each cell consisting of laminated p-type semiconductor layer (a p-layer), an essential intrinsic i-type semiconductor layer (an i-layer), and an n-type semiconductor layer (an n-layer); at least either one layer of two layers (the n-layer or p-layer) constituting an interface between an upper cell in an incident side of light and a lower cell in an anti-incident side of light or one layer in the upper and lower pin cells is formed to be a low refraction index layer having a lower refraction index than the refraction index of the upper side semiconductor layer to at least either the one layer or one layer in the upper and lower pin cells. The low refractive index layer (5) is a semiconductor layer of silicon oxide.



1: ガラス基板、2: p-層 (A₁B₃) / ZnO 層 (金属電極層)
 3: i-層のp-型半導体層、4: i-層のn-型半導体層
 5: p-型半導体層とn-型半導体層からなるp-n接合層
 6: p-層のp-型半導体層、7: i-層のn-型半導体層
 8: n-層のp-型半導体層、9: n-層のn-型半導体層 / 1: 界面層
 10: p-層のp-型半導体層、11: p-層のn-型半導体層

LEGAL STATUS

[Date of request for examination]

13.07.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2003-258279
(P2003-258279A)

(43) 公開日 平成15年9月12日 (2003.9.12)

(51) Int.Cl.⁷
H 0 1 L 31/04

識別記号

F I
H 0 1 L 31/04

キーワード(参考)
W 5 F 0 5 1

審査請求 未請求 請求項の数 6 O L (全 7 頁)

(21) 出願番号 特願2002-57875(P2002-57875)

(22) 出願日 平成14年3月4日 (2002.3.4)

(71) 出願人 000005234

富士電機株式会社

神奈川県川崎市川崎区田辺新田1番1号

(72) 発明者 吉田 隆

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

(74) 代理人 100075166

弁理士 山口 巖 (外2名)

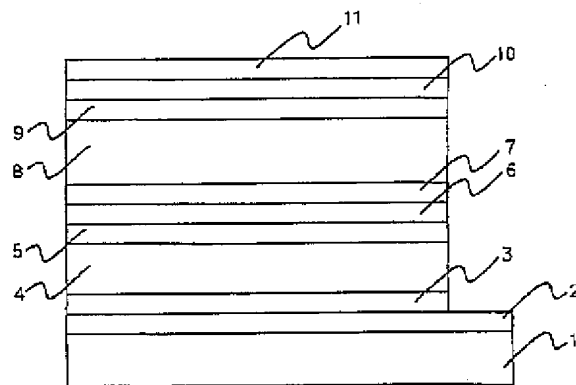
Fターム(参考) 5F051 AA05 DA18

(54) 【発明の名称】 多接合型薄膜太陽電池とその製造方法

(57) 【要約】

【課題】 不純物の取り込みやピンホールの発生が無く、変換効率が高く、かつ製造が容易な多接合型薄膜太陽電池とその製造方法を提供する。

【解決手段】 p型半導体層(p層)、実質的に真性なi型半導体層(i層)、n型半導体層(n層)を積層したp-i-n型セルを複数層積層してなり、光入射側の上側セルと反入射側の下側セルとの境界をなす二つの層(前記n層またはp層)の少なくともいずれかの層又はその一部の層を、前記いずれかの層又はその一部の層より上側の半導体層の屈折率より低い屈折率を有する低屈折率層としてなる多接合型薄膜太陽電池において、前記低屈折率層(5)はシリコンオキサイド半導体層とする。



1 : ガラス基板、2 : 銀 (A g) / ZnO 層 (金属電極層)
3 : n-Si のボトム n 層、4 : n-SiGe のボトム i 層
5 : シリコンオキサイド半導体からなるボトム p 層
6 : μ c-Si の第一トップ n 層、7 : n-SiO の第二トップ n 層
8 : n-Si のトップ i 層、9 : n-SiO のトップ p / i 界面層
10 : n-SiO のトップ p 層、11 : ITO の透明電極層

【特許請求の範囲】

【請求項1】 p型半導体層（p層）、実質的に真性なi型半導体層（i層）、n型半導体層（n層）を積層したpin型セルを複数層積層してなり、光入射側の上側セルと反射側の下側セルとの境界をなす二つの層（前記n層またはp層）の少なくともいずれかの層又はその一部の層を、前記いずれかの層又はその一部の層より上側の半導体層の屈折率より低い屈折率を有する低屈折率層としてなる多接合型薄膜太陽電池において、前記低屈折率層はシリコンオキシド半導体層とすることを特徴とする多接合型薄膜太陽電池。

【請求項2】 請求項1に記載の多接合型薄膜太陽電池において、前記シリコンオキシド半導体層は、微結晶シリコン（ $\mu\text{-Si}$ ）の結晶粒と非晶質シリコンオキシド（ a-SiO_x ）の2フェーズからなる半導体層とし、かつこのシリコンオキシド半導体層内の酸素原子の割合は、5～50原子%とすることを特徴とする多接合型薄膜太陽電池。

【請求項3】 請求項1または2に記載の多接合型薄膜太陽電池において、前記光入射側の上側セルのi層は、非晶質シリコンからなりその膜厚を70～200nmとし、前記反射側の下側セルは、非晶質シリコンゲルマニウムからなることを特徴とする多接合型薄膜太陽電池。

【請求項4】 請求項3に記載の多接合型薄膜太陽電池において、前記反射側の下側セルは、前記非晶質シリコンゲルマニウムに代えて、微結晶シリコンからなることを特徴とする多接合型薄膜太陽電池。

【請求項5】 請求項1ないし4のいずれかに記載の多接合型薄膜太陽電池の製造方法であって、下記の工程を含むことを特徴とする多接合型薄膜太陽電池の製造方法。

1) 電気絶縁性基板上に、金属電極層をスパッタリング法により形成する工程。

2) 前記金属電極層の上に、基板温度を130～170℃（但し、最下層のi層は200～250℃）として、前記シリコンオキシド半導体層からなる低屈折率層を含むp、i、n層の各半導体層を複数層、プラズマCVD法により形成する工程。

3) 前記各半導体層の最上層の上に、透明電極層をスパッタリング法により形成する工程。

【請求項6】 請求項5に記載の製造方法において、前記シリコンオキシド半導体層からなる低屈折率層は、基板温度を100℃以下として形成することを特徴とする多接合型薄膜太陽電池の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、低屈折率層を有する多接合型薄膜太陽電池とその製造方法に関する。

【0002】

【従来の技術】 非単結晶膜を用いた光電変換装置、特にシリコン系の非単結晶薄膜であるアモルファス（非晶質）シリコン（a-Si）、およびアモルファス（非晶質）シリコンゲルマニウム（a-SiGe）等の薄膜を、プラズマ放電によって形成した薄膜光電変換装置は、単結晶シリコンデバイスと比較して、大面積に、低温で、安価に作製できることから、電力用の大面積薄膜太陽電池等への適用において特に期待されている。

【0003】 しかしながら、このa-Siやa-SiGe太陽電池は、単結晶Siや多結晶Si等のバルク結晶型太陽電池に比べて変換効率が低く、さらには、固有の問題として光照射によって変換効率が1～3割程度低下する光劣化という問題を抱えている。これらの問題を解決して高効率、高信頼性を実現する方法として複数のpin型セルを積層してマルチ接合化したもの、即ち、多接合型薄膜太陽電池が知られている。

【0004】 これは、p、i、n型の半導体層から成る光電変換層を、基板上に複数積層したもので、光入射側に、相対的に光学的禁制帯幅（以下、光学的バンドギャップともいう。）の大きい非晶質シリコンを用い、光入射側から遠い光電変換層に、光学的バンドギャップの小さい非晶質シリコンゲルマニウムを用いて、非晶質シリコンでは吸収され難い赤外線領域の光も効率よく吸収して、変換効率の向上を図るものである。さらに、一つの半導体層の膜厚方向の原子組成比を変化させることにより、光学的バンドギャップをその層内で変化させるグレーデッド構成の採用により、さらに変換効率の向上を図る技術も知られている。

【0005】 前記光劣化の問題や多層化による変換効率の向上について、さらに以下に詳述する。前記光劣化はi層中に発生する光誘起欠陥に起因する。i層の膜厚を薄くすれば内部電界が強くなるために、効率低下を抑えることが可能であるが光吸収量が減って初期効率が低下してしまう。そこで、i層の膜厚が薄いセルを複数個積層すれば、1個のときよりも光吸収量を増加させることができ、高効率と高信頼性の両立を図ることが可能となる。さらに、前記a-SiGeや薄膜多結晶シリコンあるいは薄膜微結晶シリコン（ $\mu\text{-Si}$ ）等のナローギャップ（光学的バンドギャップの小さい）材料をi層に用いたセルをボトムあるいはミドルセルとして組み合わせればa-Siセルでは用いることができなかった波長800nm以上の赤外光も吸収することが可能となり、高効率化が達成できる。これらはすべてa-Siと同様にプラズマCVD法で製膜することができる。

【0006】 これらのナローギャップ材料を用いると、光入射側の上側セル（以下、トップセルともいう。）と反射側の下側セル（以下、ボトムセルともいう。）とを合わせて20～28mA/cm²程度の短絡電流（Jsc）が得られるが、トップセルは、ほぼその半分の10～14mA/cm²のJscを受け持つことになる。しかしながら、ト

ップセルでは、反射光の効果を殆ど期待できないので、膜厚を200~300nmと厚くする必要があり、このため、曲線因子(FF)が低下し、光劣化率が高くなるという特性面の問題、および材料コストが高むというコスト上の問題があった。

【0007】このうち特性上の問題を解決する手段としては、ミラー層と称する低屈折率の金属酸化物をトップセルとボトムセル間のn/p接合部に挟み、屈折率の差を利用して、故意にある程度の光をミラー層で反射させて、トップセルの短絡電流を増加させる技術がニューシヤテル大のフィッシャーらによって提案されている(25th IEEE PVSC 1053~1056頁参照)。

【0008】また、本件出願人の関係会社である出願人により、100℃以下の低温においてn型の微結晶シリコンを製膜して屈折率を2.5~3以下とし、この低屈折率層のミラー効果により変換効率(Eff)の向上を図った多接合型薄膜太陽電池の発明に関する出願を行なっている(特願2000-258511号参照)。

【0009】なお、一見、類似技術に関わり、特公平2-37116号公報には、複数のpinセルを積層した多接合型の光起電力装置において、アモルファス半導体からなるpinセル間に微結晶化半導体層を挟むことが記載されている。しかしながら、この微結晶化半導体層は各セル間の逆方向整流性を排除するために設けるものであって、厚さは10nmと薄く、屈折率についても考慮されておらず、また反射光に関する記述もない。従って、上記公告公報に記載された多接合型の光起電力装置は、前記特願2000-258511号に開示され低屈折率層を有する多接合型薄膜太陽電池を意図したものとは異なるものと考えられる。

【0010】

【発明が解決しようとする課題】ところで、前記特願2000-258511号に記載された、100℃以下の低温においてn型の微結晶シリコンを形成する場合、200℃以上の基板を100℃以下に冷却する必要があるために、製造時間が長時間となり量産に適さない問題があった。さらに、最適な温度範囲が狭く、60℃以下ではパウダーを発生してデバイス性能や歩留りを大幅に低下させることが判明し、さらにまた、屈折率としても2.5未満を実現することはできず、変換効率(Eff)などの太陽電池の特性向上には限界があることが判明した。

【0011】また、前記フィッシャーらによって提案されたミラー層としての金属酸化物層は、スパッタリングや蒸着により形成されるため、半導体層を形成するプラズマCVD装置に組み込むことは、困難であり、2台の製膜装置を必要とする。さらに、ボトムセル製膜とミラー層製膜との間、ならびに、ミラー層製膜とトップセル製膜との間で、一部製膜された基板を大気に晒すこととなり、不純物の取り込みやピンホールの発生等の問題があった。

【0012】この発明は、上記の点に鑑みてなされたもので、本発明の課題は、不純物の取り込みやピンホールの発生が無く、変換効率が高く、かつ製造が容易な多接合型薄膜太陽電池とその製造方法を提供することにある。

【0013】

【課題を解決するための手段】前述の課題を達成するため、この発明は、p型半導体層(p層)、実質的に真性なi型半導体層(i層)、n型半導体層(n層)を積層したpin型セルを複数層積層してなり、光入射側の上側セルと反入射側の下側セルとの境界をなす二つの層(前記n層またはp層)の少なくともいずれかの層又はその一部の層を、前記いずれかの層又はその一部の層より上側の半導体層の屈折率より低い屈折率を有する低屈折率層としてなる多接合型薄膜太陽電池において、前記低屈折率層はシリコンオキサイド半導体層とする(請求項1の発明)。

【0014】上記請求項1の発明において、上側pinセルの最下層またはその一部の層が低屈折率層であっても、下側pinセルの最上層またはその一部の層が低屈折率層であってもよい。また、上側セルと下側セルとの境界に、上側セルの半導体層と比較して屈折率の低い低屈折率層を有するものとしても良い。

【0015】上記のように、低屈折率の半導体層を設けることにより、その層がミラー層と同じ役割を果たし、光を反射させて、上側セルの短絡電流を増大させる。しかも、他の半導体層と同じプラズマCVD装置で製膜できるので、金属酸化物のミラー層の形成のように、製膜装置から基板を取り出し大気に晒されることが無くなるので、不純物の取り込みやピンホールの発生が無くなくなり、変換効率が高くかつ製造が容易な多接合型薄膜太陽電池が提供できる。

【0016】シリコンの屈折率は約3.5であり、微結晶シリコン薄膜、アモルファスシリコン薄膜の屈折率もほぼ似た値である。従って、屈折率が3を越えた $\mu\text{-Si}$ 層では、光を反射させる効果が少なくなる。従来の低温処理した微結晶シリコン薄膜では、屈折率が2.5未満のn型の $\mu\text{-Si}$ 層を製膜することは困難であったが、シリコンオキサイド半導体では、良好な電気伝導率を維持しながら屈折率を2.5未満に低下させることが可能である。

【0017】上記請求項1の発明の実施態様としては、下記請求項1ないし4の発明が好適である。即ち、請求項1に記載の多接合型薄膜太陽電池において、前記シリコンオキサイド半導体層は、微結晶シリコン($\mu\text{-Si}$)の結晶粒と非晶質シリコンオキサイド($\text{a-Si}_x\text{O}_{1-x}$)の2フェーズからなる半導体層とし、かつこのシリコンオキサイド半導体層内の酸素原子の割合は、5~50原子%とする(請求項2の発明)。上記により、詳細は後述するように、低屈折率層の屈折率を、2~3とすること

ができる。

【0018】また、請求項1または2に記載の多接合型薄膜太陽電池において、前記光入射側の上面セルのi層は、非晶質シリコンからなりその膜厚を70～200nmとし、前記反射側の下面セルは、非晶質シリコンゲルマニウムからなるものとする（請求項3の発明）こともできるし、さらにまた、請求項3に記載の多接合型薄膜太陽電池において、前記反射側の下面セルは、前記非晶質シリコンゲルマニウムに代えて、微結晶シリコンからなるものとする（請求項4の発明）こともできる。

【0019】前記請求項3または4の発明において、上面セルのi層の膜厚を70～200nmとする理由は、下記のとおりである。即ち、膜厚70nm未満では、光吸収が不十分で短絡電流が小さく、200nmを越える場合には、トップセルの光劣化が大きくなり、安定化後の高い変換効率を維持することができなくなるからである。

【0020】また、前記本発明の薄膜太陽電池の製造方法としては、下記請求項5ないし6の発明が好適である。即ち、請求項1ないし4のいずれかに記載の多接合型薄膜太陽電池の製造方法であって、下記の工程を含む（請求項5の発明）。詳細は後述する。

- 1) 電気絶縁性基板上に、金属電極層をスパッタリング法により形成する工程。
- 2) 前記金属電極層の上に、基板温度を130～170℃（但し、最下層のi層は200～250℃）として、前記シリコンオキサイド半導体層からなる低屈折率層を含むp、i、n層の各半導体層を複数層、プラズマCVD法により形成する工程。
- 3) 前記各半導体層の最上層の上に、透明電極層をスパッタリング法により形成する工程。

【0021】さらに、前記請求項5に記載の製造方法において、前記シリコンオキサイド半導体層からなる低屈折率層は、基板温度を100℃以下として形成する（請求項6の発明）。この場合、基板温度を低下させる時間が余分に必要となるが、低屈折率層の屈折率を2.2以下のより低い値とすることが可能となる。

【0022】

【発明の実施の形態】この発明の実施例について以下に述べる。

【0023】図1は、この発明の実施例に関わる多接合型薄膜太陽電池の模式的断面構造を示し、ボトムセルにa-SiGeセルを適用した面積1cm²のa-Si/a-SiGe太陽電池の実施例を示す。図1の太陽電池の各層の構成と製造プロセスの具体例につき、以下に述べる。

【0024】図1に示す薄膜太陽電池は、ガラス基板1上に金属電極層2として銀（Ag）/ZnO積層薄膜が設けられている。その金属電極層2上に、a-Siのボトムn層3、a-SiGeのボトムi層4、膜中に5～50原子%の酸素を含み、微結晶シリコンの結晶粒とa-Si_xO_{1-x}の2フ

ェーズからなるシリコンオキサイド半導体からなるボトムp層5、 μ c-Siの第一トップn層6、アモルファス酸化シリコン（a-SiO）の第二トップn層7、a-Siのトップi層8、a-SiOのトップp/i界面層9、a-SiOのトップp層10が積層され、そのトップp層10の表面に酸化インジウム錫（ITO）の透明電極層11が設けられている。

【0025】以下に試作セルの製造工程を説明する。ガラス基板1としては、旭硝子社製のUタイプ二酸化錫（SnO₂）付きガラス基板を用いた。このガラス基板1上に、金属電極層2としてスパッタリング法により厚さ100～200nmの銀（Ag）/ZnO積層薄膜を製膜した。

【0026】次に、プラズマCVD法によりa-Si系膜3～10の製膜を行なった。まず、基板温度を130～170℃として、モノシラン（SiH₄）を主ガス、フォスフィン（PH₃）をドーピングガス、水素（H₂）を希釈ガスとして、膜厚10～20nmのa-Siのボトムn層3を製膜し、続いて基板温度を200～250℃として、SiH₄とゲルマン（GeH₄）を主ガス、H₂を希釈ガスとして、膜厚100～150nmのa-SiGeからなるボトムi層4を製膜した。ここで、i層4のバンドギャップは1.45eVとした。

【0027】次に基板温度を130～170℃として、SiH₄を主ガス、これにCO₂およびジボラン（B₂H₆）をドーピングガス、水素（H₂）を希釈ガスとして、膜厚10～20nmの膜中に5～50原子%の酸素を含み、微結晶シリコンの結晶粒とa-Si_xO_{1-x}の2フェーズからなるシリコンオキサイド半導体のボトムp層5を製膜した。酸素を30%含むシリコンオキサイド半導体の場合、屈折率が2.4となり、良好なミラー層としての性能を示した。このときの酸素希釈度（H₂/SiH₄）は100～300倍とし、ドーピング量は、B₂H₆/SiH₄ = 0.1～1%とした。

【0028】なお、ボトムp層5を二層構造として、p型のアモルファスシリコンオキサイド（a-SiO:H）をまず形成し、その後に、膜厚10～20nmの膜中に5～50原子%の酸素を含み、微結晶シリコンの結晶粒とa-Si_xO_{1-x}の2フェーズからなるシリコンオキサイド半導体を形成しても良い。

【0029】ボトムp層5製膜後、同じ基板温度130～170℃で、SiH₄を主ガス、PH₃をドーピングガス、H₂を希釈ガスとして、膜厚15～80nmの μ c-Siの第一トップn層6を製膜した。このときのドーピング量は、PH₃/SiH₄ = 0.2～2とし、酸素希釈度は75～100倍とした。

【0030】この上に同じ基板温度130～170℃で、SiH₄および炭酸ガス（CO₂）を主ガス、PH₃をドーピングガス、H₂を希釈ガスとして、膜厚10～20nmのa-SiOの第二トップn層7を製膜し、二層構造のトップn層とした。第二トップn層7の屈折率は約3.5であ

る。

【0031】その後、 SiH_4 を主ガス、 H_2 を希釈ガスとして、膜厚80～300nmのa-Siのトップi層8、再び SiH_4 および炭酸ガス(CO_2)を主ガス、 B_2H_6 をドーピングガス、 H_2 を希釈ガスとして、膜厚5～20nmのa-SiOのトップ界面層9と膜厚4～15nmのトップp層10を順次製膜した。トップ界面層9とトップp層10のドーピング量は、それぞれ $\text{B}_2\text{H}_6/\text{SiH}_4 = 20 \sim 500 \text{ ppm}$ 、0.5～3%とした。

【0032】最後にスパッタリング法により、透明電極層11として膜厚80～300nmのITOを形成した。

【0033】次に、本発明に係る多接合型薄膜太陽電池の諸特性について、実験した結果について、比較例とともに以下に述べる。上記のようにして完成した本発明に係る太陽電池の他に、比較例としてシリコンオキサイド半導体のボトムp層5に代えて、屈折率を3.3とした従来方式の太陽電池を試作した。

【0034】図2～図5は、上記のようにして試作した実施例と比較例のa-Si/a-SiGe タンデムセルにおける、トップi層8の膜厚と、セル特性との関係を示す特性関係図である。図2～図5は、それぞれ、短絡電流(J_{sc})、開放電圧(V_{oc})、曲線因子(FF)、変換効率(Eff)の実験結果を示し、各図において、本発明に係る実施例のセルの測定値は●印、比較例は○印で示した。

【0035】図2は、横軸にトップi層8の膜厚(nm)を、縦軸に短絡電流密度 J_{sc} (mA/cm²)を示す。図2の結果によれば、本実施例のa-Si/a-SiGe タンデムセルでは、トップi層が薄い領域で、 J_{sc} が増大していることがわかる。また、 J_{sc} が最大になる最適マッチングの膜厚は、従来が300nm程度だったのに対し本実施例では、180nm程度と大幅に薄くなっている。さらに、実施例においては、比較例と比べて約60～70%程度のトップi層膜厚で、同じ J_{sc} が得られることがわかる。

【0036】図3は、横軸にトップi層8の膜厚(nm)を、縦軸に開放電圧 V_{oc} (V)を示す。また、図4は、横軸にトップi層8の膜厚(nm)を、縦軸に曲線因子FFを示す。開放電圧 V_{oc} およびFFでは、実施例と比較例とであまり差は見られない。

【0037】図5は、横軸にトップi層8の膜厚(nm)を、縦軸に変換効率Eff(%)を示す。a-Siセルでは、i層膜厚を薄くする程、内部電界が強くなることによって、変換効率(Eff)が向上する。本実施例では、最適マッチングになるトップi層を薄膜化できるようになったため、最適条件での変換効率(Eff)が向上した。図5の結果によれば、本実施例の最高効率は12.9%(トップi層150nm時)となり、従来例の最高効率11.3%(トップi層250nm時)よりも約1.6%効率が向上した。

【0038】前記短絡電流密度 J_{sc} および変換効率(Eff

f)の向上効果は、トップセルとボトムセルとの境界部分に低屈折率のボトムp層6を設けることによって、入射光の反射分が増えたミラー効果によるものである。

【0039】また、従来の技術の項で述べた低温形成μc-Siによっても、ある程度の性能改善効果を得ることは可能であるが、屈折率が2.5より大きいために、その効果は少なく、さらに、温度を低下させるための時間40分、および再び昇温するための時間20分の合計60分が、前記実施例に相当するケースにおいては必要となり、量産性がよくないことが分った。

【0040】なお、本実施例では屈折率2.4のシリコンオキサイド半導体を適用した場合について述べたが、屈折率3以下の膜を適用することで、ミラー効果が得られることが確認できている。上記に関わり、シリコンオキサイド半導体と屈折率との関係を探るために行なった実験結果について、以下に述べる。

【0041】図6は、水素希釈度(H_2/SiH_4)200倍、基板温度160℃で製膜した微結晶シリコンの結晶粒とa-Si_{1-x}O_xの2フェーズからなるシリコンオキサイド半導体層の膜中酸素原子%と屈折率との関係を示す。酸素原子%は、図6の横軸にO/(O+Si)%として示し、屈折率nは縦軸に示す。

【0042】図6の結果によれば、酸素原子%が増加するに従い屈折率nは減少する。酸素原子%が50%を超えても屈折率は減少を続けるが、導電率が10⁻⁶S/cm以下となり、デバイス特性に不具合を生じることも、別途確認されており、屈折率nを3以下とする場合、酸素原子%は、5～50%が好ましい。また、基板温度を100℃に低下させると、酸素原子%が50%で、屈折率nが2.2となることが確認された。基板温度を低下させる程、屈折率はより低下可能であるが、この場合、基板温度を低下させる時間が余分に必要となるので、要請に応じて、低屈折率層製膜時の適切な基板温度を決めればよい。

【0043】

【発明の効果】上記のとおり、この発明によれば、p型半導体層(p層)、実質的に真性なi型半導体層(i層)、n型半導体層(n層)を積層したpin型セルを複数層積層してなり、光入射側の上側セルと反射側の下側セルとの境界をなす二つの層(前記n層またはp層)の少なくともいずれかの層又はその一部の層を、前記いずれかの層又はその一部の層より上側の半導体層の屈折率より低い屈折率を有する低屈折率層としてなる多接合型薄膜太陽電池において、前記低屈折率層はシリコンオキサイド半導体層とし、上記多接合型薄膜太陽電池の製造方法として、1)電気絶縁性基板上に、金属電極層をスパッタリング法により形成する工程と、2)前記金属電極層の上に、基板温度を130～170℃(但し、最下層のi層は200～250℃)として、前記シリコンオキサイド半導体層からなる低屈折率層を含む

p, i, n層の各半導体層を複数層、プラズマCVD法により形成する工程と、3) 前記各半導体層の最上層の上に、透明電極層をスパッタリング法により形成する工程とを含む製造プロセスとしたので、不純物の取り込みやピンホールの発生が無く、変換効率が高く、かつ製造が容易な多接合型薄膜太陽電池とその製造方法を提供することができる。

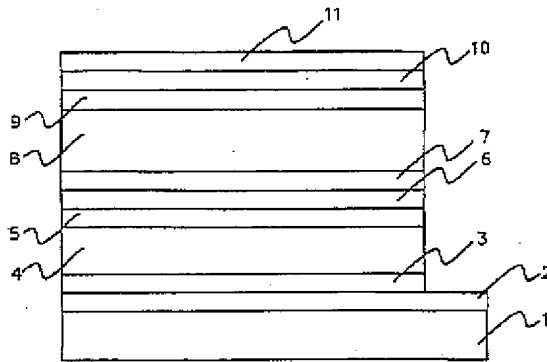
【図面の簡単な説明】

【図1】本発明の実施例に関わる多接合型薄膜太陽電池の模式的断面構造図

【図2】短絡電流密度(Jsc)に関する実施例と従来例との比較実験結果を示す図

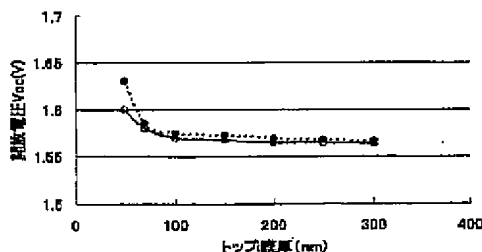
【図3】開放電圧(Voc)に関する実施例と従来例との比較実験結果を示す図

【図1】



- 1: ガラス基板、2: 銀(Ag)/ZnO層(金属電極層)
 3: a-Siのボトムn層、4: a-SiGeのボトムi層
 5: シリコンオキシド半導体からなるボトムp層
 6: μc-Siの第一トップn層、7: a-SiOの第二トップn層
 8: a-Siのトップi層、9: a-SiOのトップp/i界面層
 10: a-SiOのトップp層、11: ITOの透明電極層

【図3】



【図4】曲線因子(FF)に関する実施例と従来例との比較実験結果を示す図

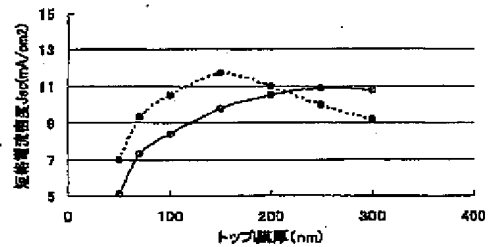
【図5】変換効率(Eff)に関する実施例と従来例との比較実験結果を示す図

【図6】本発明に係るシリコンオキシド半導体層の膜中酸素原子%と屈折率との関係の実験結果を示す図

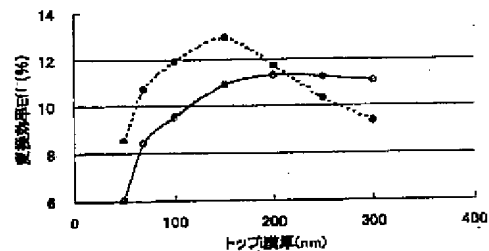
【符号の説明】

1: ガラス基板、2: 銀(Ag)/ZnO層(金属電極層)、3: a-Siのボトムn層、4: a-SiGeのボトムi層、5: シリコンオキシド半導体からなるボトムp層、6: μc-Siの第一トップn層、7: a-SiOの第二トップn層、8: a-Siのトップi層、9: a-SiOのトップp/i界面層、10: a-SiOのトップp層、11: ITOの透明電極層。

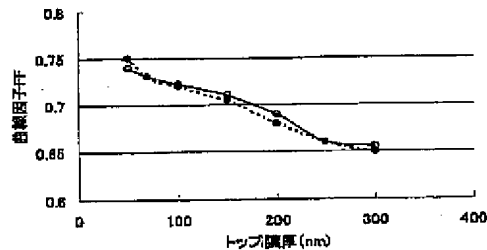
【図2】



【図5】



【図4】



【図 6】

